

## Geçici rejim ve kararlı hal hata performansını birlikte düzeltmek

Bunun için yapılması gereken aktif devre elemanları kullanılacaksa PI+PD=PID kontrolörü kullanmak yada pasif elemanlarla bir devre oluşturmak isteniyorsa faz gerileten-faz ilerleten bir kompanzator kullanmaktır.

Tasarım aşamaları şu şekilde özetlenebilir: Bunun için önce geçici rejim yanıtını iyileştiren PD/Faz ilerleten kompanzasyon tasarımı yapılacak daha sonra ise kararlı hal hata değerini sıfırlayan/azaltan bir PI/Faz gerileten kontrolör tasarlanacaktır.

Bunun terside uygulanabilir. Fakat ortaya çıkan denetleyici tatmin edici sonuç vermeyebilir.

### **PID Kontrolör tasarımı**

Genel yapısı

$$G_c(s) = K_1 + \frac{K_2}{s} + K_3s$$

şeklindedir. Burada sırası ile  $K_1$  oransal kontrolör kazancını,  $K_2$  integratör kazancını ve  $K_3$  türev kazancını göstermektedir. Bu yapı şu şekilde de gösterilebilir:

$$G_c(s) = \frac{K_1s + K_2 + K_3s^2}{s} = \frac{K_3(s^2 + \frac{K_1}{K_3}s + \frac{K_2}{K_3})}{s}$$

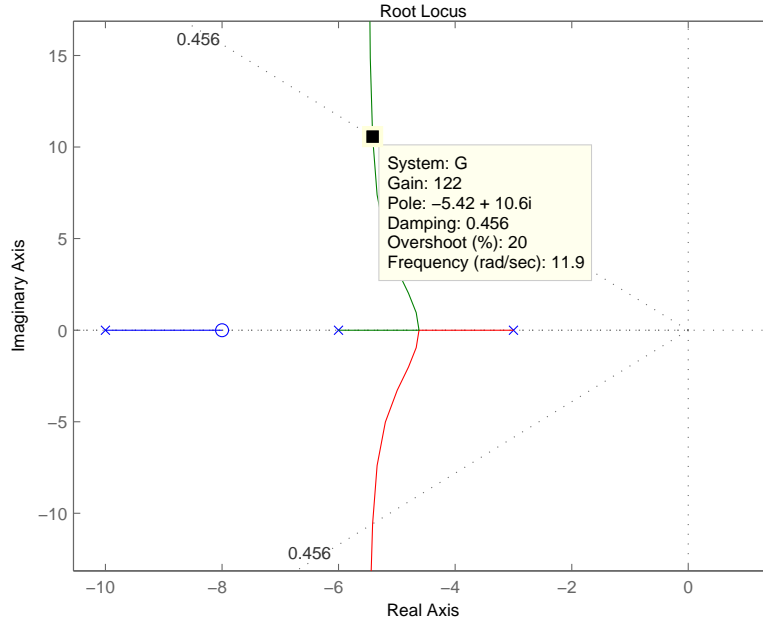
Dikkat edilirse kontrolör 2 sıfır + orjinde 1 kutup içermektedir.

## Örnek

$$G(s) = \frac{s + 8}{(s + 3)(s + 6)(s + 10)}$$

sistemini ele alalım. Bu sistemin %20 aşım yapması, oransal kontrol ile kontrol edilen yapının en büyük aşım zamanınının 2/3'ü kadar sürede aşım yapması ve basamak şeklindeki giriş için sıfır kararlı hal hatası vermesi istenmektedir. İlgili kontrolörü tasarlamaya çalışalım.

Öncelikle sistemi ilgili aşım değerine getiren bir saf oransal kontrolör katsayısını belirleyelim. %20 lik aşım değeri için gerekli olan  $\zeta$  sönüm oranı  $\zeta = 0.456$  şeklinde hesaplanır. Bu durumda sisteme ait kök yer eğrisi şu şekilde elde edilir.



Bu durumda ilgili  $K$  kazancı  $K = 122$  ve bu kazanç değerine karşı gelen baskın kapalı çevrim kutuplarının yerleri  $p_{1,2} = -5.42 \pm j10.6$  şeklinde bulunur. Bu kapalı çevrim kutupları bize yerleşme süresini  $T_s = 0.739$ san.; tepe zamanını  $T_p = 0.297$ san. ve kararlı hal hata değerini de

$$e(\infty) = \frac{1}{1 + K_p} = 0.156$$

şeklinde verir.

Kompanze edilmiş sistemin en büyük aşım zamanı

$$T_{p_{comp}} = \left(\frac{2}{3}\right) 0.297$$

olmalıdır. Biliyoruz ki  $T_p = \pi/\omega_d$  idi. O halde kompanze edilmiş sistemin baskın kutuplarının imajiner bileşeni

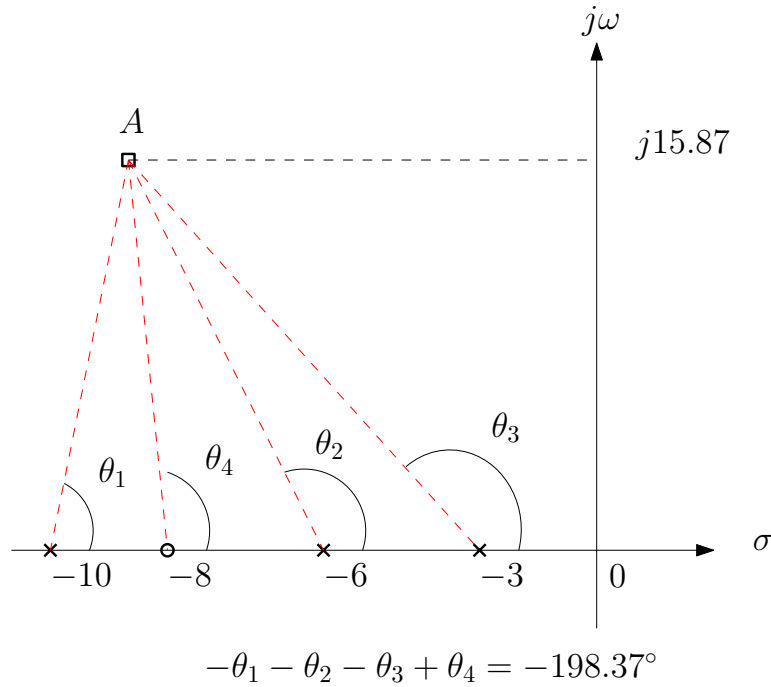
$$\omega_{d_{comp}} = \pi/T_{p_{comp}} = 15.87$$

olmalıdır. Reel bileşen ise

$$\sigma_{comp} = \frac{\omega_{d_{comp}}}{\tan 117.13^\circ} = -8.13$$

olacaktır.

O halde kapalı çevrim baskın kutuplarının bulunması gereken yerler  $-8.13 \pm j15.87$  şeklindedir. Şimdi  $PD$  kontrolörünün sıfırının yerini tespit edelim. Şayet  $PD$  kontrolörü içeren sistemin kök yer eğrisi  $-8.13 \pm j15.87$  noktalarından geçiyor ise bu noktalarda açış koşu sağlanmalıdır.



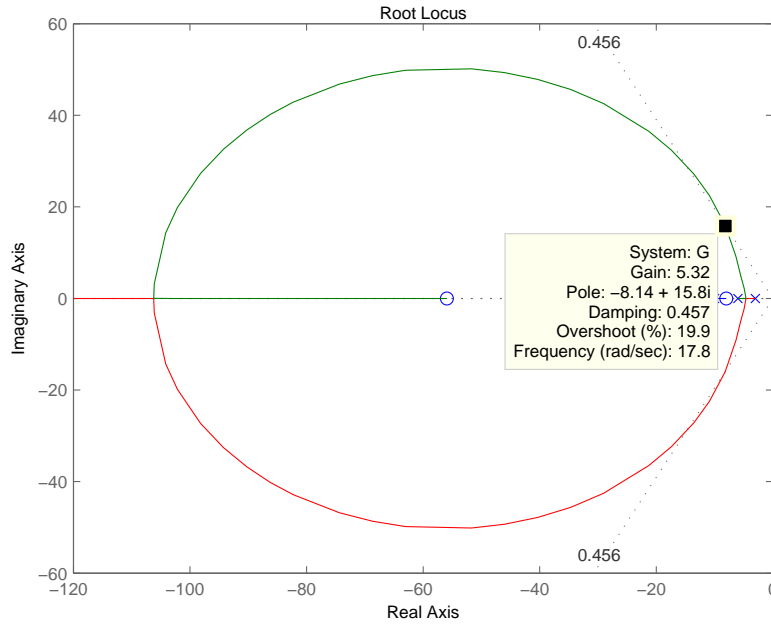
O halde  $A$  tasarım noktasında açı koşulunun sağlanabilmesi için  $+18.37^\circ$  lik bir açı katkısı gerekmektedir. Bunu ancak bir sıfırın sağlayacağı açıktır. İlgili sıfır noktasının tespiti için, geometriden yararlanılırsa:

$$\tan 18.37^\circ = \frac{15.87}{z_c - 8.13}$$

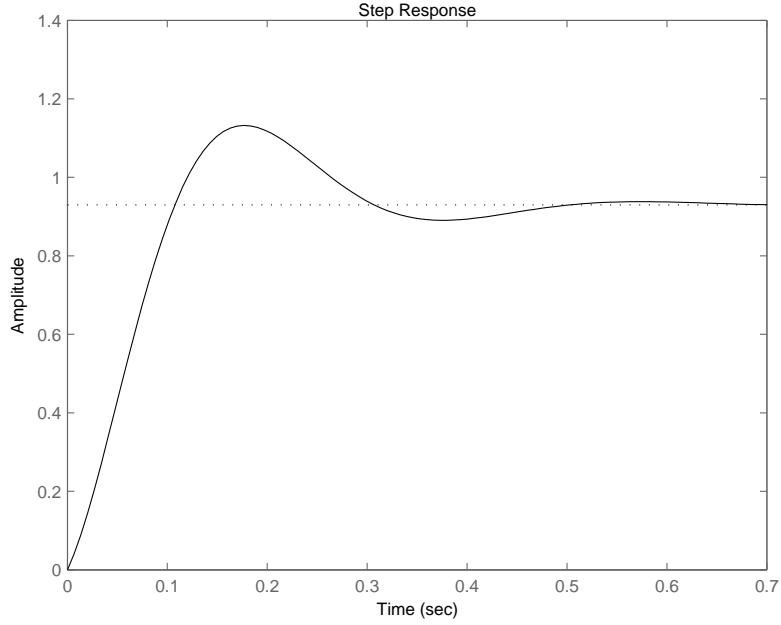
elde edilir. Bu durumda kontrolör sıfırının yeri  $-z_c = -55.92$  şeklinde hesaplanır. PD kontrolörü ise

$$G_{PD}(s) = K(s + 55.92)$$

şeklinde olacaktır.  $\zeta = 0.456$  radyel doğrusunu sağlayan  $K$  kazancı ise yaklaşık  $K = 5.34$  olarak simülasyonlar vasıtası ile bulunur.



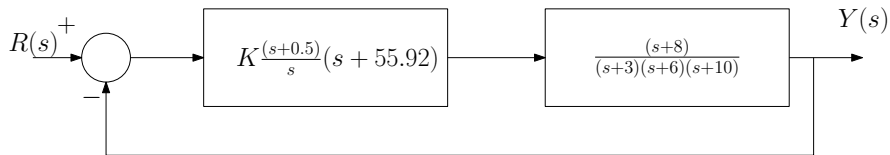
Bu  $K$  kazancı için PD kontrollü kapalı çevrim sistem simüle edilirse şu performans değerleri bulunur:  $\%OS = 17.83$ ,  $T_s = 0.492$ san,  $T_p = 0.198$ san ve basamak şeklindeki referans giriş için kararlı hal hatası  $e(\infty) = 0.070$ .



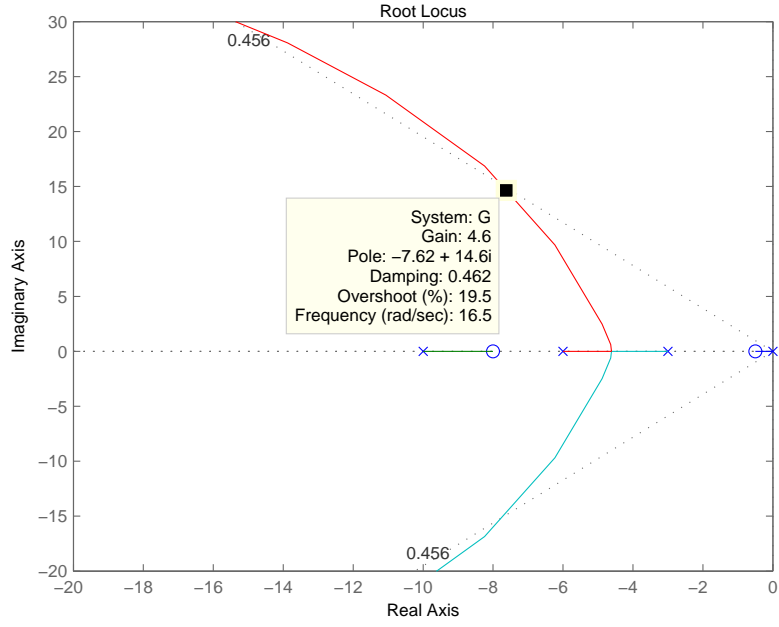
Dikkat edilirse, azda olsa kararlı hal hatası mevcuttur. Bunu ortadan kaldırmak için bir PI denetleyicisine ihtiyaç duyarız. Açıktır ki bu PI denetleyicisi mevcut PD denetleyicisi ile kaskad bağlantılandırılmalıdır. Genel olarak bir PI denetleyicisi

$$G_{PI}(s) = \frac{s + z_{PI}}{s}$$

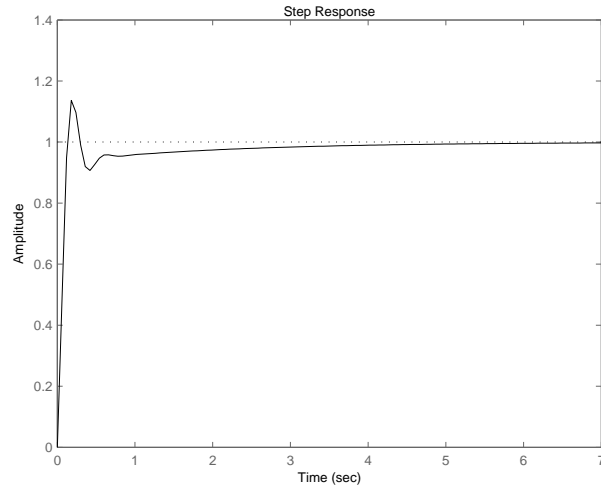
yapısındadır. İntegral etkisini yapan aslında açık çevrim transfer fonksiyonuna ilave edilen tam orjindeki kutuptur. Bunun açılı koşulunu bozmaması için ona çok yakın bir sıfır ( $z_{PI}$ ) atanır. Biz burada  $z_{PI}$  noktasını 0.5 olarak seçtik. Farklı bir değerde seçilebilirdi. Bu durumda hem  $PI$  hemde  $PD$  denetleyicilerine sahip kapalı çevrim sistem aşağıdaki şekilde gösterildiği gibi elde edilir:



Köklerin yer eğrisi üzerinden  $K$  nın nihai kazancı  $K = 4.6$  olarak hesaplanır.



Aşağıdaki grafik ise PID kontrolörünün verdiği basamak yanıtını göstermektedir.



Bu durumda PID denetleyicisinin genel formu

$$G_{PID}(s) = \frac{4.6(s + 55.92)(s + 0.5)}{s}$$

yada

$$G_{PID}(s) = \frac{4.6(s^2 + 56.42s + 27.96)}{s}$$

şeklindedir. Buradan kolaylıkla oran, integral ve türev katsayıları  $K_1 = 259.5$ ,  $K_2 = 128.6$  ve  $K_3 = 4.6$  olarak hesaplanır. Türev katsayısının diğer katsayılarla oranla genliğinin küçük oluşuna dikkatinizi çekmek isterim. Türev kontrolü kontrol sistemlerinde pek kullanılmaz. Bunun nedeni türev işleminin yüksek geçiren bir filtre özelliği göstermesidir. Bu durumda özellikle gürültüye maruz kalmış işaretlerdeki gürültü bileşenleri büyük oranda kuvvetlenir. Sonuç olarak kapalı çevrim sistem içerisinde kararlılık ve performans yönünden sorunlar ortaya çıkabilir.

## Faz ilerleten-geriletken denetleyici tasarımı

PID tipi denetleyici aktif devre elemanlarının kullanılmasına gereksinim duyar. Bunun önüne geçmek ve pasif devre elemanları ile bu realizasyon sorununu çözmek maksadı ile bir Faz ilerleten-geriletken yapı kullanılabilir. Bu denetleyici yapısının olumsuz yönü ise kararlı hal hatasının sıfırlanamamasıdır.

Tasarım, PID denetleyisindeki gibi 2 aşamalıdır. Öncelikle geçici rejim davranışını istenilen noktaya taşıyan bir Faz-İlerletken kontrolör tasarımı ile işe başlanır. Akabinde, bu tasarım sonucu bulunan kontrolör, sistem üzerinde simülasyon programları ile sınanır. Bu test esnasında, ne kadarlık bir kararlı hal hata performansına ihtiyaç olduğu da belirlenir.

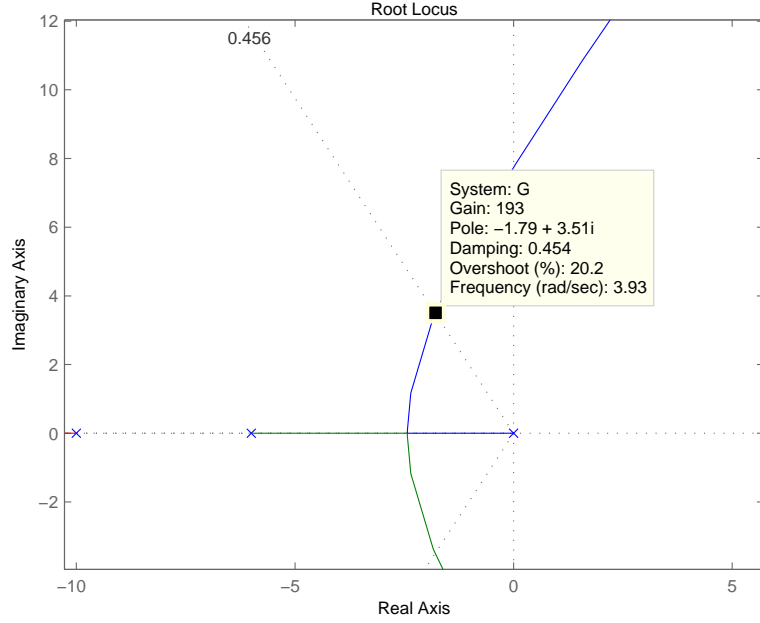
İkinci aşamada ise kararlı hal hatasını istenilen seviyeye çeken bir faz geriletken yapı tasarlanır ve hem Faz ilerletken, hem de faz geriletken denetleyiciyi içeren yapı sistemde sorgulanır ve nihai kazanç belirlenir.

**Örnek** üzerinde açıklayalım:

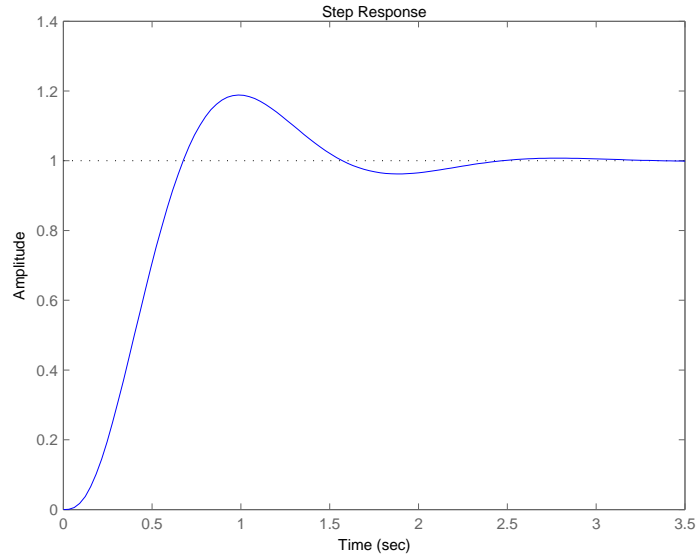
$$G(s) = \frac{1}{s(s+6)(s+10)}$$

sistemini göz önüne alalım. Bu sistemin çıkışının basamak tipi girişlere %20 aşım veren, yerleşme zamanını yaklaşık  $T_s = 1.11$ san yapan, kararlı hal hatasını ise rampa girişi için 10 kat azaltan denetleyiciyi hesaplamaya çalışalım.

Öncelikle sistemin  $K$  oransal kontrolörü ile denetlendiğini farz edelim ve ilgili aşım kriterini sağlayıp sağlamadığını kontrol edelim.



Hesaplamalar sonucu  $K = 192.1$  olarak hesaplanır. Şimdi bulunan  $K$  kontrolör kazancı için sistem cevabını inceleyelim. Bunun için gerekli simülasyonlar yapılırsa



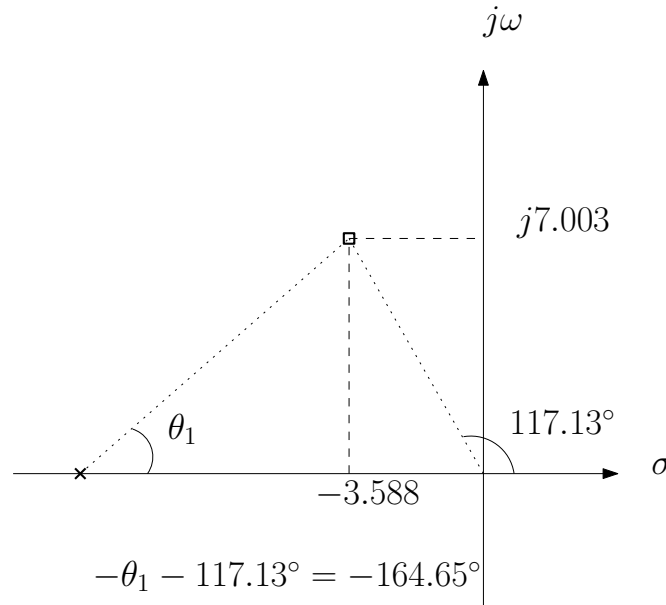
$T_s = 2.23\text{san.}$ ,  $T_p = 0.897\text{san.}$  ve birim rampa giriş için  $e(\infty) = 0.312$  olarak hesaplanır.

Biliyoruz ki  $T_s = 4/\sigma_d$  dir. Basamak giriş için  $T_s = 1.11$  olması isteniyor. Bu bakımdan kapalı çevrim baskın kutuplarının reel bileşeni  $\sigma_d = -3.58$  olarak hesaplanır.  $\zeta = 0.456$  radyel doğrusu reel eksenle saat yönünün tersi yönünde  $117.13^\circ$  açı yapar. İlgili geometriden kolaylıkla baskın kutupların yeri  $-3.588 \pm j7.003$  olarak hesaplanır.

Şimdi baskın kutupları  $-3.588 \pm j7.003$  noktasına taşıyan faz ilerleten kontrolörü hesaplayalım. Faz ilerleten denetleyicinin genel yapısı

$$G_{FI}(s) = \frac{s + z_c}{s + p_c}$$

Bunun için  $z_c$  sıfırı rastgele seçilir. Açı koşulunu sağlayan  $p_c$  kutbu belirlenir. Fakat,  $z_c$ 'yi işe yarar seçmek de mümkündür. Örneğin  $z_c = 6$  olacak şekilde seçilirse  $-6$  noktasındaki kutbu silebiliriz. Bu bakımdan bizbu uygulamada  $z_c = 6$  olarak seçeceğiz.



Açı koşulunun sağlanabilmesi için  $-180^\circ - (-164.65^\circ) = -15.35^\circ$  açı katkısı gereklidir. Bunu sağlayacak kontrol kutbu  $p_c$  dir.  $p_c$  kutbunun yeri ise

$$\tan 15.35^\circ = \frac{7.003}{p_c - 3.588}$$

eşitliğinden  $p_c = -29.1$  şeklinde bulunur.

Faz ilerleten kontrolör genel olarak bu durumda

$$G_{FI}(s) = K \frac{s + 6}{s + 29.1}$$

şeklinde olur. Şimdi bu kontrolörün kazancını belirleyelim ve performansını test edelim. İlgili kök yer eğrisi analizi üzerinden  $K$  kazancının  $K = 1977$  olması gerektiği bulunur.

Yeni açık çevrim transfer fonksiyonu (Faz ilerleten yapı + sistem) ise

$$G_{LC}(s) = \frac{1977}{s(s + 10)(s + 29.1)}$$

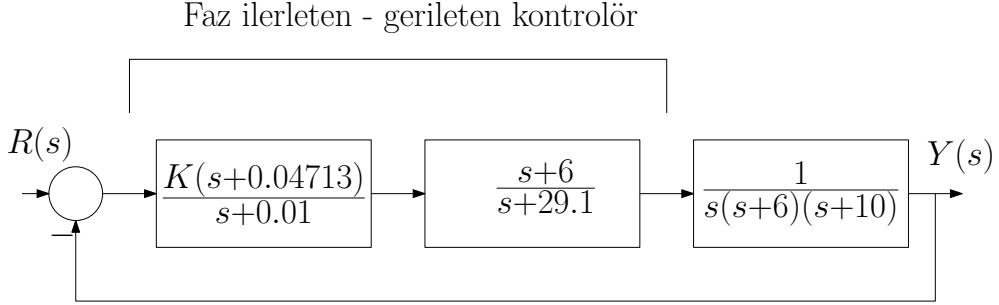
olarak bulunur. Hatırlanacağı gibi hız hata katsayısı  $K_v = \lim_{s \rightarrow 0} sG_{LC}(s)$  şeklinde hesaplanır. Bu durumda kararlı hal hatası (birim rampa giriş için)  $e(\infty) = 1/K_v$  olarak bulunur.

Bu bilgiler ışığı altında sistemimiz için  $K_v$  hız hata katsayısı,  $K_v = 6.794$  ve  $e(\infty) = 0.147$  olarak bulunur.

Arzu edilen kararlı hal hatası ise  $e(\infty) = 0.312/10 = 0.0312$  dir. Aslında Faz ilerleten kontrolör kararlı hal hatasını hali hazırda 2.122 kat azaltmıştır. Amaç 10 kat azaltmak olduğundan daha 4.713 kat azaltma ihtiyacı vardır. Şimdi farz edelim ki faz geriletken kontrolörün kutbu  $-0.01$  noktasında olsun. Bu durumda faz geriletken denetleyicinin sıfırı ise  $-0.04713$  noktasında bulunmalıdır. Yani faz geriletken denetleyici

$$G_{FG} = \frac{s + 0.04713}{s + 0.01}$$

şeklinde olmalıdır. Şimdi yapı şu şekli almıştır:



Yapılması gereken son işlem  $K$  kazancının belirlenmesi ve kontrolör performansının sınanmasıdır.  $K$  kazancı köklerin yer eğrisi üzerinden kolaylıkla  $K = 1971$  şeklinde hesaplanır. Bu durumda faz ilerleten-geriletken denetleyici sonuç olarak

$$G_{FI-FG} = \frac{1971(s + 0.04713)(s + 6)}{(s + 0.01)(s + 29.1)}$$

şeklinde belirlenir. Bu denetleyicinin ve diğer denetleyicilerin birim basamak cevapları aşağıdaki gibi elde edilir.

