

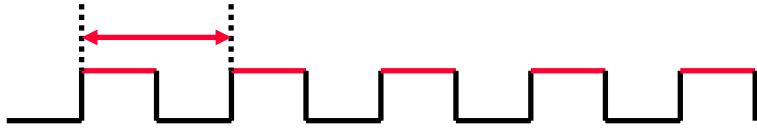
Flip-Flop

- Bir devrede bellek elemanı olarak kullanılmak üzere tutucuları inceledik.
- Tutucular bazı problemlere sahiptir:
 - Tutucuyu ne zaman enable yapacağımızı bilmeliyiz.
 - Tutucuyu çabucak devre dışı bırakabilmeliyiz (disable edebilmeliyiz).
 - Bir başka deyişle, büyük devrelerde latchlerin zamanlamasını kontrol etmek zordur.
- Bu problemleri iki yeni eleman ile çözmemiz mümkündür: saat ve flip-flop'lar
 - Saat, belleğe yazacağımız zamanı bildirir.
 - Flip-flop ise, kesin olarak belirlenen zamanda belleğe yazma işlemini gerçekleştirmeyi sağlar.
 - Bu ikisi birlikte kullanılırsa, bellek zamanlaması problemini göz ardı ederek devrelerimizi tasarlayabiliriz.

Saat (Clock) ve Senkronizasyon

- **Saat** çıkışı sürekli olarak belirli bir periyot ile 0 ve 1 arasında değişen özel bir devre elemanıdır.

saat periyodu



- Saat'in 1'den 0'a değişmesi ile başlayan ve tekrar 1 oluncaya kadar geçen süreye **saat periyodu**, veya **saat devir süresi** denilir.
- **Saat frekansı** saat periyotunun tersidir. Birimi ise **hertz** dir.
- Saatler genellikle devrelerin senkronizasyonu için kullanılır. Devrelerde belli işlemlerin başlaması için tetikleme amaçlı kullanılırlar. Örneğin, latch'e yazma işlemi gibi.
- Birden fazla devre aynı saati kullanırsa senkronizasyon sağlanmış olur. Bu, insanların senkronizasyon için saat kullanmalarına benzer bir durumdur.

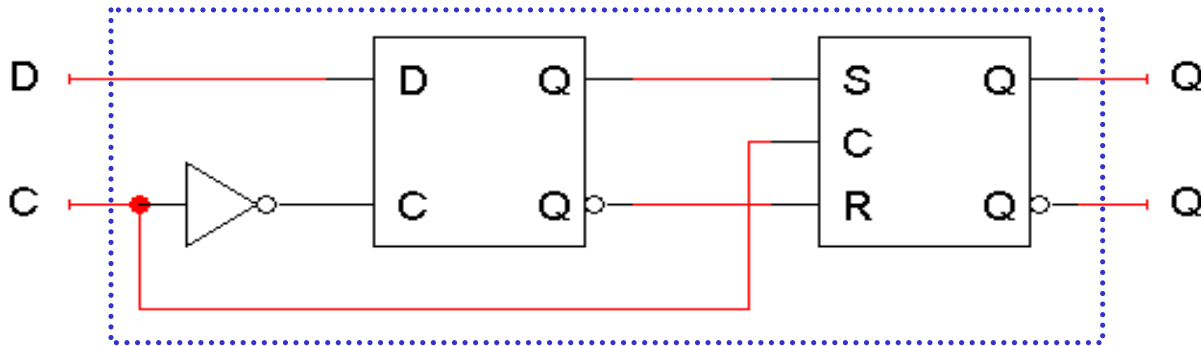
Saat

- Saatler büyük olarak bilgisayar mimarisinde kullanılmaktadır.
- Tüm işlemciler bir iç saat ile çalışmaktadır.
 - Modern işlemciler (chip ler) 3.2 GHz'e kadar uzanan frekanslarda çalışmaktadır.
 - Bu da cycle time ı 0.31 ns kadar küçültmektedir!
- Dikkat... Daha yüksek frekans her zaman için daha hızlı makineye karşılık gelmez!
 - Her bir saat periyotunda ne kadar iş yapılabileceğine bakmak gerekir.
 - Ne kadar eleman 0.31 ns gibi sürede iş yapabilir?

Flip-flop

- D flip-flop

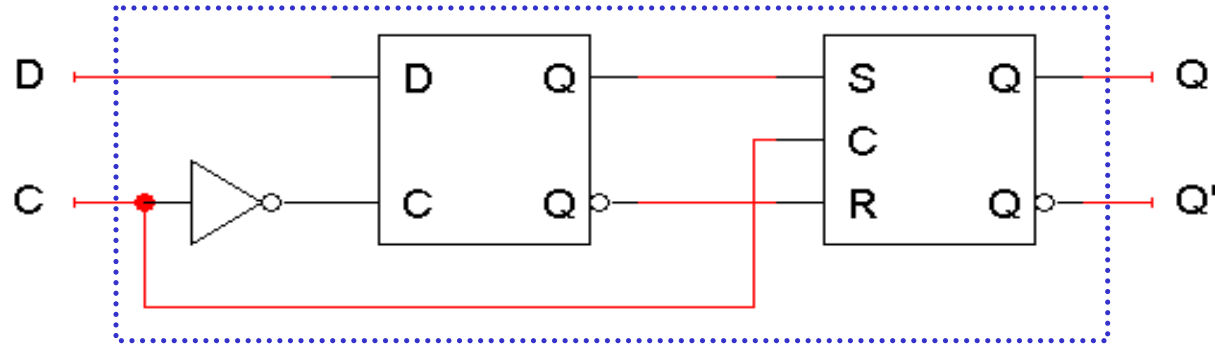
- Flip-flop'un girişleri: C ve D, ve çıkışları: Q ve Q'
- Solda bir D latch: **master (ana)**, sağda bir SR latch: **slave (uydu)**



- Not:

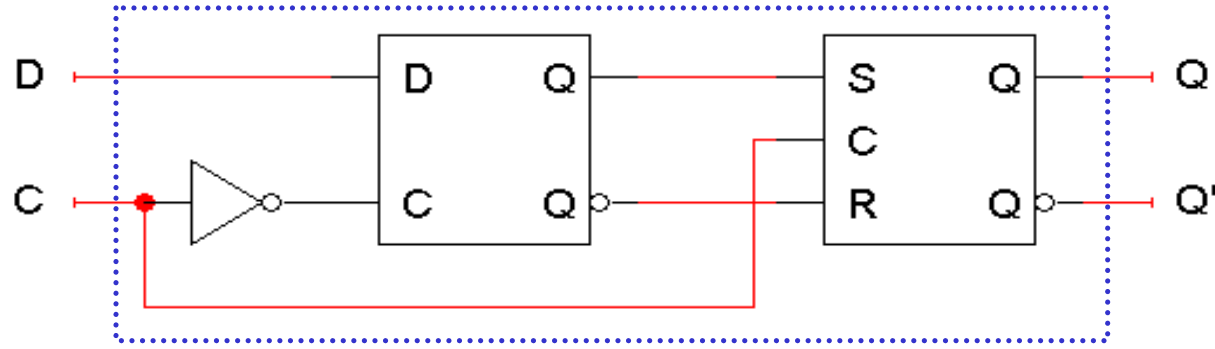
- Flip-flop'un D girişi doğrudan master latched bağlı
- Master latch in çıkışları slave e giriş oluyor. (master x slave: ana x uydu)
- Flip-flop'un çıkışı doğrudan slave latch den alınıyor.

D flip-flop'da $C=0$ ise,



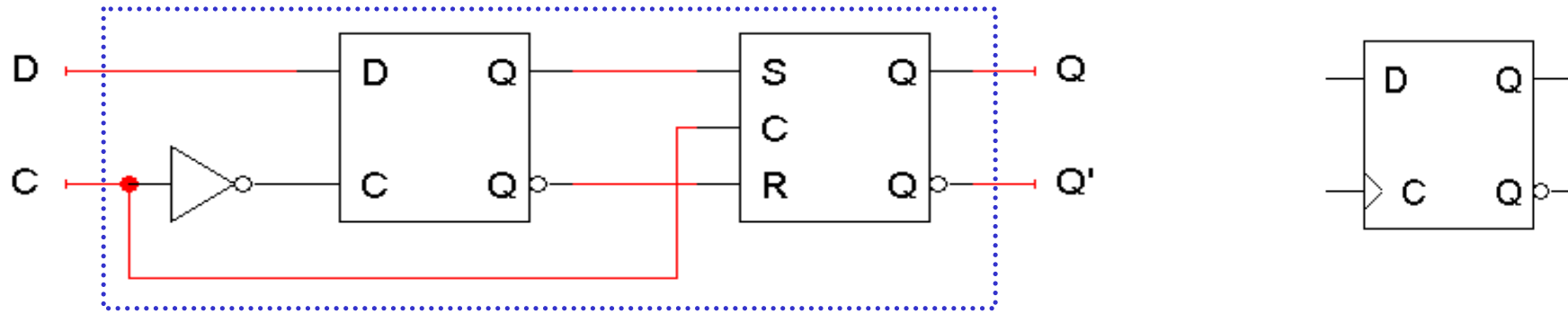
- D flip-flop'un C kontrol girişi ya D latch ini enable yapar yada SR latch i. İkisinin aynı anda enable olması mümkün değil.
- $C = 0$ ise:
 - master latch enable olur. Ve master latch in çıkışı flip-flop'un D girişini gösterir. Eğer D değişirse master'ın çıkışı da ddeğişir.
 - slave latch disable olur. Dolayısıyla, D latch'in çıkışı onu etkilemez. Bu durumda slave latch in çıkışı dolayısıyla da flip-flop'un çıkışı flip-flop'un şimdiki durumunu gösterir.

D flip-flop'da $C=1$ ise,



- *Ardından $C = 1$ olurolmaz, (hatta saatin yükselen kenarında)*
 - Master disable olur. Çıkışı da $C=1$ olmadan önceki son D giriş değeri olarak kalır.
 - Disable olduğu için D girişinde olacak olan değişiklikler $C = 1$ olduğu sürece master latchi etkilemez.
 - Slave enable olur. S ve R nin değerine göre slave in çıkışı ve dolayısıyla da flip-flop'un çıkışı belirlenir.

Pozitif Kenar Tetikleme

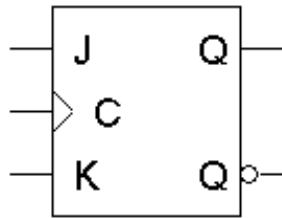


- Bu bir **pozitif kenar tetiklemeli** flip-flop'dur. Flip-flop'un Q çıkışı sadece C'nin pozitif kenarının ardından değişebilir.
- D flip-flop'unun davranışı Q nun pozitif kenarda değişmesi dışında D latch'i ile aynıdır.

C	D	Q
0	x	No change
1	0	0 (reset)
1	1	1 (set)

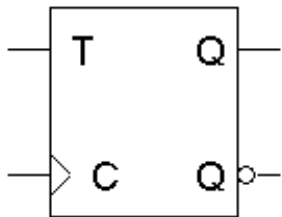
Flip-flop çeşitleri

- D flip-flop'u temel alınarak çeşitli flip-floplar tasarlanmıştır.
- **JK flip-flop** (S ve R a benziyor ama JK=11 flip-flop un şimdiki durumunun tümleyenini almak için kullanılır.)



C	J	K	Q _{gelecek}
0	x	x	Değişmez
1	0	0	Değişmez
1	0	1	0 (reset)
1	1	0	1 (set)
1	1	1	Q' _{şimdiki}

- **T flip-flop** sadece şimdiki durumu tutar veya tümleyenini alır.



C	T	Q _{gelecek}
0	x	Değişmez
1	0	Değişmez
1	1	Q' _{şimdiki}

Karakteristik tablolar ve denklemler

- Her bir flip-flop bir **karakteristik tablo** vardır. Bu tablolar giriş ve şimdiki duruma $Q(t)$ bağlı olarak gelecek durumu $Q(t+1)$ gösterirler. (Basitlik açısından, kontrol girişi C tablolara alınmamıştır. Ayrıca, aksi söylenmediği sürece flip-flop'lar pozitif kenar tetiklemelidir.)
- karakteristik denklemler** ise, gelecek durum $Q(t+1)$ 'i şimdiki durum $Q(t)$ ve giriş cinsinden birer fonksiyon ile ifade etmektedirler.

D	$Q(t+1)$	İşlem
0	0	Reset
1	1	Set

$$Q(t+1) = D$$

J	K	$Q(t+1)$	İşlem
0	0	$Q(t)$	Değişmez
0	1	0	Reset
1	0	1	Set
1	1	$Q'(t)$	Tümlleme

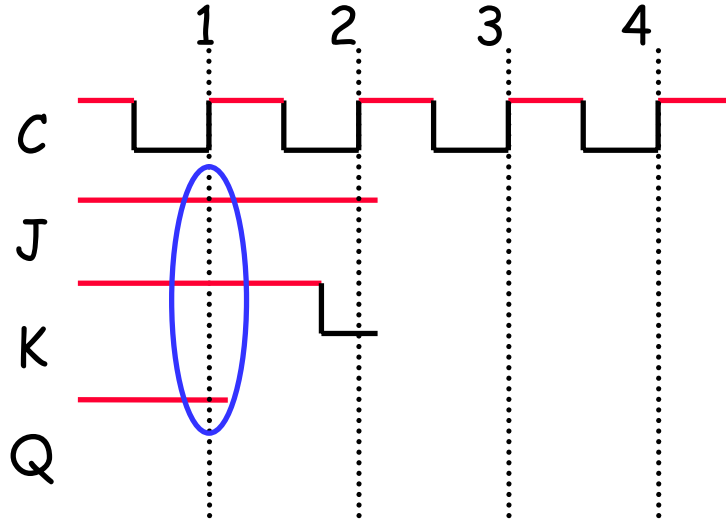
$$Q(t+1) = K'Q(t) + JQ'(t)$$

T	$Q(t+1)$	İşlem
0	$Q(t)$	Değişmez
1	$Q'(t)$	Tümlleme

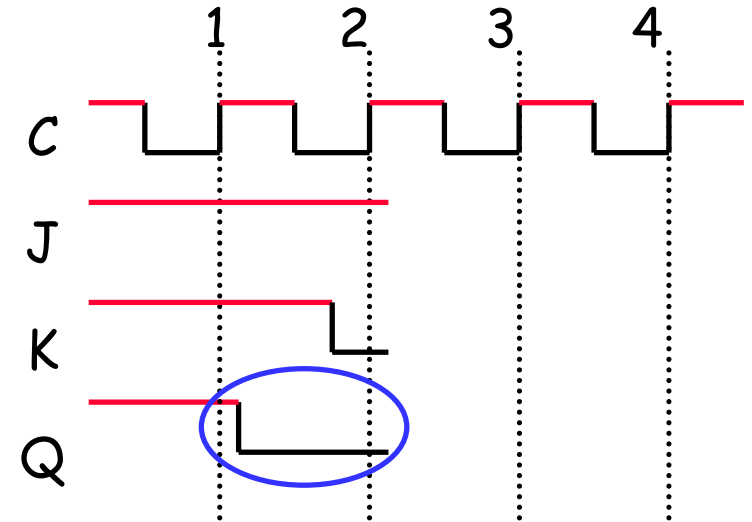
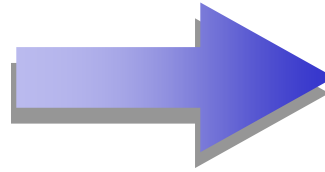
$$\begin{aligned} Q(t+1) &= T'Q(t) + TQ'(t) \\ &= T \oplus Q(t) \end{aligned}$$

Flip flop zamanlama diyagramları

- JK flip-flop zamanlama diyagramı örneği: 1. pozitif saat kenarında $J=1$, $K=1$ ve $Q(1) = 1$. O halde gelecek durum $Q(2) = Q(1)' = 0$ oluyor.
- $Q(2)$ 1. pozitif saat kenarının hemen ardından 0 değerini alır. Artık bu değer şimdiki durumdur ve 2. pozitif saat kenarına kadar değişmez.



1. Saat devirindeki değerler...



... "gelecek" Q yu belirler.

Önemli Not

- Eğer flip-flop pozitif kenar tetiklemeli ise, çıkışlar sadece girişlerin pozitif kenardaki değerlerine göre değişir. Aşağıdaki diyagramda bu konu incelenmektedir:
 - K ikinci ve üçüncü pozitif kenarlar arasında birden fazla kere değişmektedir.
 - Ancak, K'daki bu değişimden bağımsız olarak, üçüncü pozitif kenardaki giriş değerleri olan $K=1$, $J=0$ ve $Q=1$ değerleri bir sonraki durumu etkileyecek ve Q nun değeri 0'a değişecektir.

